

RECONFIGURATION DYNAMIQUE PARTIELLE SUR FPGA

Objectif - Compétences acquises :

A l'issue de la formation le stagiaire sera capable de : Mettre en œuvre un système sur puce reconfigurable partiellement et dynamiquement à la base de FPGA Xilinx Configurer, générer, synthétiser, implanter un système numérique reconfigurable partielle

Public concerné :

- Tout public

Durée :

- 3 jours

Date/lieux :

- Nous consulter
- Non défini

Equipe pédagogique :

- Enseignants de l'Université de Nancy

Approche pédagogique :

- Alternance de cours et de travaux pratiques

Renseignement pédagogique :

- HEBRARD Luc
- Luc.hebrard@unistra.fr

Frais de participation individuels :

- 1205 € HT

Renseignements et inscriptions :

- Inscription : Service de Formation Continue de l'Université de Strasbourg
- Tél : +33(0) 3 68 85 49 98
- Fax : +33(0) 3 68 85 49 29
- Email : s.grisinelli@unistra.fr
- Date limite d'inscription : 1 mois avant

Nombre de places limitées :

- Min/Max : 2 à 10 personnes

Prérequis :

- La connaissance de base d'un langage de description de matériel (VHDL/Verilog). Bases de la constitution d'un système à microprocesseur (processeur, mémoires, périphériques usuels, bus, décodage d'adresses). Connaissances de base en langage C.

Programme :

- Introduction à la conception d'un circuit numérique sur FPGA
- Présentation du flot de conception d'un circuit numérique sur FPGA
- Présentation des outils de développement de Xilinx (ISE, ISim, PlanAhead, Impact, FPGA Editor, Vivado, ...)
- Conception, validation et implantation d'un circuit de base – flot de conception « statique »
- Conception, validation et implantation d'un circuit de base – flot de conception « dynamique »
- Introduction à la conception d'un système à processeur sur FPGA – cas d'étude sur un softcore Microblaze de Xilinx
- Configuration d'un système minimal à processeur
- Câblage du système en VHDL (top level)
- Implantation du système global
- Création du banc de test logiciel (SDK)
- Validation expérimentale
- Conception, validation et implantation d'un système (multi-)processeur sur un FPGA Xilinx – flot de conception « statique »
- Conception, validation et implantation d'un système (multi-)processeur sur un FPGA Xilinx – flot de conception « dynamique »
- Validation expérimentale du système MPSoC

Validation :

Cette formation constitue une action d'adaptation et de développement des compétences. Elle donne lieu à la délivrance d'une attestation de participation. Une évaluation de fin de formation permet de mesurer la satisfaction des stagiaires, notamment concernant l'atteinte des objectifs pédagogiques.

